

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Naoyuki TAGUCHI

Title: LIQUID CRYSTAL DISPLAY WITH THIN FILM TRANSISTOR ARRAY FREE FROM SHORT-CIRCUIT AND PROCESS FOR FABRICATION THEREOF

Appl. No.: UNASSIGNED

Filing Date: June 1, 2000

Examiner: Unassigned

Art Unit: Unassigned

#2
6 SEP 00
R. Talbot

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 11-154826 filed June 2, 1999.

Respectfully submitted,

Date June 1, 2000

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Ronald Costello 36,469

For David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

Taguchi
18901-174

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

US

JC714 U.S. PRO
09/583530



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1999年 6月 2日

出 願 番 号
Application Number:

平成11年特許願第154826号

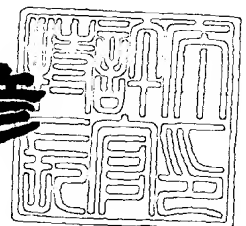
出 願 人
Applicant(s):

日本電気株式会社

2000年 4月14日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3026694

【書類名】 特許願

【整理番号】 74610295

【提出日】 平成11年 6月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/136

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号
日本電気株式会社内

【氏名】 田口 尚之

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100097113

【弁理士】

【氏名又は名称】 堀 城之

【電話番号】 03(5512)7377

【手数料の表示】

【予納台帳番号】 044587

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708414

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタアレイおよび薄膜トランジスタアレイ製造方法

【特許請求の範囲】

【請求項 1】 アモルファスシリコン残留物によるパターニング不良により発生する点欠陥、またはメタル残留物によるパターニング不良により発生する線欠陥を含む不良を防止した薄膜トランジスタアレイであって、

ゲート層、ドレインパターンまたはストレージパターンの配線が互いに近接平行する構成を備えたデルタ配列型のトランジスタ構造と、

デルタ配列型のトランジスタ構造においてゲート層、ドレインパターンまたはストレージパターンの各配線の近接平行部分に形成され当該ゲート層または当該ドレインパターンおよび当該ストレージパターン・ドレインパターンの各配線間に発生するシリコン残留物およびメタル残留物をエッチング除去するコンタクトスリットを有する

ことを特徴とする薄膜トランジスタアレイ。

【請求項 2】 前記ゲート層ならびに当該ゲート層に平行する前記ドレインパターンの隙間領域と、前記ストレージパターンならびに当該ストレージパターンに平行する前記ドレインパターンの隙間領域との 2 つの領域を結んで形成されている屈曲型コンタクトスリットを有する

ことを特徴とする請求項 1 に記載の薄膜トランジスタアレイ。

【請求項 3】 前記屈曲型コンタクトスリットは、コンタクト工程実行時であって凹部を形成する下部に前記アモルファスシリコン残留物があった場合にゲート絶縁層のエッチング除去と同時に前記アモルファスシリコン残留物の除去を実行する位置に形成されている

ことを特徴とする請求項 2 に記載の薄膜トランジスタアレイ。

【請求項 4】 前記屈曲型コンタクトスリットは、コンタクト工程の次の工程であるドレインパターンのエッチング除去の際に当該コンタクト工程にて除去した凹部上に露出した前記メタル残留物を同時に除去する位置に形成されている

ことを特徴とする請求項 2 または 3 に記載の薄膜トランジスタアレイ。

【請求項 5】 アモルファスシリコン残留物によるパターニング不良により発生する点欠陥、またはメタル残留物によるパターニング不良により発生する線欠陥を含む不良を防止した薄膜トランジスタアレイ製造方法であって、

ゲート層、ドレインパターンまたはストレージパターンの配線が互いに近接平行する構成を備えたデルタ配列型のトランジスタ構造を作成する工程と、

デルタ配列型のトランジスタ構造においてゲート層、ドレインパターンまたはストレージパターンの各配線の近接平行部分に形成され、当該コンタクトスリットを用いて当該ゲート層または当該ドレインパターンおよび当該ストレージパターンドレインパターンの各配線間に発生するシリコン残留物およびメタル残留物をエッチング除去するコンタクトスリットを作成する工程を有する

ことを特徴とする薄膜トランジスタアレイ製造方法。

【請求項 6】 前記ゲート層ならびに当該ゲート層に平行する前記ドレインパターンの隙間領域と、前記ストレージパターンならびに当該ストレージパターンに平行する前記ドレインパターンの隙間領域との 2 つの領域を結んで形成されている屈曲型コンタクトスリットを作成する工程を有する

ことを特徴とする請求項 5 に記載の薄膜トランジスタアレイ製造方法。

【請求項 7】 コンタクト工程実行時であって凹部を形成する下部に前記アモルファスシリコン残留物があった場合にゲート絶縁層のエッチング除去と同時に前記アモルファスシリコン残留物の除去を実行する位置に前記屈曲型コンタクトスリットを作成する工程を有する

ことを特徴とする請求項 6 に記載の薄膜トランジスタアレイ製造方法。

【請求項 8】 コンタクト工程の次の工程であるドレインパターンのエッチング除去の際に当該コンタクト工程にて除去した凹部上に露出した前記メタル残留物を同時に除去する位置に前記屈曲型コンタクトスリットを作成する工程を有する

ことを特徴とする請求項 6 または 7 に記載の薄膜トランジスタアレイ製造方法。

【請求項 9】 ガラス基板上に前記ゲート層、および前記ゲート層に近接平行した前記ストレージパターンを形成する工程と、

前記ストレージパターンの上に、前記ゲート絶縁層、I型アモルファスシリコン層、N+型アモルファスシリコン層を積層する工程と、

前記N+型アモルファスシリコン層の所定パターンを除去するとともに、同一パターンの前記I型アモルファスシリコン層を必要な部分だけ残して除去する工程と、

ソースパターンおよび前記ドレインパターンと周辺端子部との導通のために、所定パターンで前記ゲート絶縁層をエッチングすると同時に、前記ゲート層と当該ゲート層に平行する前記ドレインパターン形成領域の間、および前記ストレージパターンと当該ストレージパターンに平行する前記ドレインパターン形成領域の間、の2つを結んだ屈曲型の領域下の前記ゲート絶縁層をエッチング除去して前記屈曲型コンタクトスリットを形成するとともに、電極形成領域と前記ドレインパターンの形成領域との間にも前記コンタクトスリットを形成する工程と、

前記N+型アモルファスシリコン層および前記I型アモルファスシリコン層のチャンネル掘り込みを行うとともに、当該チャンネル掘り込みの上に絶縁保護層を形成する工程を有する

ことを特徴とする請求項8に記載の薄膜トランジスタアレイ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ技術に係り、特にアモルファスシリコン残留物によるパターニング不良により発生する点欠陥、またはメタル残留物によるパターニング不良により発生する線欠陥を含む不良を防止した薄膜トランジスタアレイおよび薄膜トランジスタアレイ製造方法に関する。

【0002】

【従来の技術】

現在LCD（液晶ディスプレイ）等の駆動素子に用いられている薄膜トランジスタアレイには、ドレインパターンと画素電極層とが同一平面内のゲート絶縁層上に形成され、さらに、上下段の単位素子が半素子ずつずれたデルタ配列型構造を備えたもの（デルタ配列型の薄膜トランジスタアレイ）がある。このようなデ

ルタ配列型の薄膜トランジスタアレイは、ドレインパターン、ゲート層（パターン）、ストレージパターンが近接平行する部分が存在するため、高密度表示構成で双方が短絡または容量結合をし易いという課題が従来からある。特に薄膜トランジスタを構成するアモルファスシリコン（a-Si）のパターニング不良によるアモルファスシリコン（a-Si）残留物がある場合、ドレインパターンと画素電極の短絡または近接する画素電極どうしの短絡が発生し、これにより点欠陥不良が発生する。さらに、デルタ配列型のドレインパターンとソースパターンの近接平行部分においては、パターン間が、アモルファスシリコン（a-Si）残留物を介して短絡を起こすために、点欠陥等が発生する。従って、これらの短絡による不良を防止することが重要な要素の1つとなっている。

【0003】

このような問題点を解決することを目的とする従来技術として、通常ドレインラインと画素電極間や、各パターン間の距離を空けて短絡の発生を防ぐという手法が開示されている。しかしながら、この手法では、単位素子当たりの画素電極の領域が狭くなり、開口率が低下するため、パネル全体の透過率が低下する。このため、アモルファスシリコン（a-Si）残留物やメタル残留物起因の短絡による不良を防止する対策としては十分とは言えないという問題点があった。

【0004】

このような問題点を解決することを目的とする従来技術としては、例えば、特開平7-199223号公報に記載のもの（第1従来技術）がある。図8を参照すると、特開平7-199223号公報に記載の第1従来技術の第1の実施の形態の平面図が示されている。また、図8のデルタ配列型の薄膜トランジスタアレイのF-F'線、G-G'線にそれぞれ沿った断面を図9および図10に、図8のデルタ配列型の薄膜トランジスタアレイのH枠で囲まれている部分を拡大した状態を図11に、図8のデルタ配列型の薄膜トランジスタアレイのH枠内にアモルファスシリコン（a-Si）残留物とメタル残留物が発生した場合の状態を図21の平面拡大図（H'）に示した。図8乃至11において、1はガラス基板、2はゲート層（パターン）、3はゲート絶縁層、4はI型アモルファスシリコン層、5はN+型アモルファスシリコン層、6はコンタクトスリット（凹部）、7

はソースパターン、8はドレインパターン、9は透明画素電極層、10は絶縁保護層を示している。図21において、2はゲート層（パターン）、4はI型アモルファスシリコン層、5はN+型アモルファスシリコン層、6はコンタクトスリット（凹部）、7はソースパターン、8はドレインパターン、9は透明画素電極層、14はアモルファスシリコン（a-Si）残留物、15はメタル残留物を示している。図8を参照すると、特開平7-199223号公報に記載の第1従来技術は、ゲート層（パターン）2、I型アモルファスシリコン層4、N+型アモルファスシリコン層5、コンタクトスリット（凹部）6、ソースパターン7、ドレインパターン8、透明画素電極層9を中心にして構成され、薄膜トランジスタアレイの製造において、画素電極形成領域と信号配線領域（ドレインパターン8）との間のゲート絶縁層3をエッチング除去して凹部（コンタクトスリット（凹部）6）を形成することが開示されている。

【0005】

図12は第1従来技術の第2の実施の形態の平面図である。図13および図14はそのI-I'線、J-J'線にそれぞれ沿った断面図、図15は図12のデルタ配列型の薄膜トランジスタアレイのK枠で囲まれている部分の拡大図、図22は図12のデルタ配列型の薄膜トランジスタアレイのK枠内にアモルファスシリコン（a-Si）残留物14とメタル残留物15が発生した場合の平面拡大図（K'）である。図12乃至図15および図22に示すように、第1従来技術の第2の実施の形態に示される技術は、信号配線層と画素電極層との間もしくは近接する画素電極間のゲート絶縁層3上に図21に示すようなアモルファスシリコン（a-Si）残留物14が存在する場合でも、この残留物も同時にエッチング除去できるので、信号配線領域の信号パターンと画素電極形成領域の画素電極との短絡を防止する点において一応の効果を奏している。

【0006】

また、他の従来技術としては、例えば、特願平8-525570号公報号公報（第2従来技術）に記載のものがある。図16は、特願平8-525570号公報に記載の第2従来技術のTFTを使用する液晶表示装置の実施の形態の平面図、図17および図18はそのL-L'線、M-M'線にそれぞれ沿った断面図、

図 1 9 は図 1 6 の T F T の N 枠で囲まれている部分の拡大図、図 2 3 は図 1 6 の T F T の N 枠内にアモルファスシリコン (a - S i) 残留物 1 4 とメタル残留物 1 5 が発生した場合の平面拡大図 (N ') である。特願平 8 - 5 2 5 5 7 0 号公報に記載の第 2 従来技術は、ゲート層 (パターン) 2、I 型アモルファスシリコン層 4、N + 型アモルファスシリコン層 5、コンタクトスリット (凹部) 6、ソースパターン 7、ドレインパターン 8、透明画素電極層 9、絶縁保護層 1 0 (図 1 7 および図 1 8 参照)、ストレージパターン 1 2、保護膜スリット状開口部 1 6 を中心にして構成されている。薄膜トランジスタまたは薄膜ダイオードの製造において、画素電極形成領域とその周囲のドレインパターン 8、ゲート層 (パターン) 2 の配線間の絶縁保護層 1 0 をエッチング除去して開口部を設けることが開示されている。この技術は、信号配線層と画素電極層との間もしくは近接する画素電極間の絶縁保護層 1 0 下にアモルファスシリコン (a - S i) 残留物 1 4 や透明画素電極層 9 の残留物が存在する場合でも、この残留物も同時にエッチング除去できるので、信号配線領域の信号パターンと画素電極形成領域の画素電極との短絡を防止する点において一応の効果を奏している。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、第 1 従来技術は、図 2 1 に示すように、画素電極形成領域と信号配線領域 (ドレインパターン 8) との間のコンタクトスリット 6 は、デルタ配列型の薄膜トランジスタアレイの特徴である、ドレインパターン 8 とソースパターン 7 の近接平行部分上にアモルファスシリコン (a - S i) 残留物 1 4 が発生した場合にはその短絡の防止ができないという問題点があった。その理由は、エッチング除去するコンタクト領域が、画素電極の周囲を囲む形状となっているか、または、ドレインパターン 8 と画素電極の間にスリット状に形成する構造となっているため、デルタ配列型構造のドレインパターン 8、ソースパターン 7 の各配線の近接平行部分上にアモルファスシリコン (a - S i) 残留物 1 4 が発生した場合には、これら配線間の短絡を切断できないからである。しかも、図 2 2 に示すように、デルタ配列型薄膜トランジスタアレイでストレージパターン 1 2 がゲート層 (パターン) 2 と近接平行する構造の場合は、近接平行パターン上に発

生したメタル残留物 1 5 による短絡を防止できないために、ゲートストレージショート等の致命不良を引き起こすという問題点があった。

【0 0 0 8】

一方、第 2 従来技術は、図 2 3 に示すように、画素電極形成領域と信号配線領域（ドレインパターン 8）との間の保護膜スリット状開口部 1 6 は、デルタ配列型の薄膜トランジスタアレイの特徴である、ドレインパターン 8 とソースパターン 7 の近接平行部分上にアモルファスシリコン（a-Si）残留物 1 4 が発生した場合には、その短絡の防止ができないという問題点があった。その理由は、エッチング除去する保護膜スリット状開口部 1 6 が、画素電極の周囲を囲む形状となっているため、デルタ配列型構造のドレインパターン 8、ソースパターン 7 の各配線の近接平行部分上にアモルファスシリコン（a-Si）残留物 1 4 が発生した場合にはこれら配線間の短絡を切断できないためである。しかも、デルタ配列型薄膜トランジスタアレイでストレージパターン 1 2 がゲート層（パターン）2 と近接平行する構造の場合は（先の図 2 2 と同じ）、近接平行パターン上に発生したメタル残留物 1 5 による短絡を防止できないために、ゲートストレージショート等の致命不良を引き起こすという問題点があった。

【0 0 0 9】

本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、アモルファスシリコン残留物によるパターニング不良により発生する点欠陥、またはメタル残留物によるパターニング不良により発生する線欠陥を含む不良を防止した薄膜トランジスタアレイおよび薄膜トランジスタアレイ製造方法を提供する点にある。

【0 0 1 0】

【課題を解決するための手段】

請求項 1 に記載の発明の要旨は、アモルファスシリコン残留物によるパターニング不良により発生する点欠陥、またはメタル残留物によるパターニング不良により発生する線欠陥を含む不良を防止した薄膜トランジスタアレイであって、ゲート層、ドレインパターンまたはストレージパターンの配線が互いに近接平行する構成を備えたデルタ配列型のトランジスタ構造と、デルタ配列型のトランジス

タ構造においてゲート層、ドレインパターンまたはストレージパターンの各配線の近接平行部分に形成され、当該ゲート層または当該ドレインパターンおよび当該ストレージパターンドレインパターンの各配線間に発生するシリコン残留物およびメタル残留物をエッチング除去するコンタクトスリットを有することを特徴とする薄膜トランジスタアレイに存する。

また請求項 2 に記載の発明の要旨は、前記ゲート層ならびに当該ゲート層に平行する前記ドレインパターンの隙間領域と、前記ストレージパターンならびに当該ストレージパターンに平行する前記ドレインパターンの隙間領域との 2 つの領域を結んで形成されている屈曲型コンタクトスリットを有することを特徴とする請求項 1 に記載の薄膜トランジスタアレイに存する。

また請求項 3 に記載の発明の要旨は、前記屈曲型コンタクトスリットは、コンタクト工程実行時であって凹部を形成する下部に前記アモルファスシリコン残留物があった場合にゲート絶縁層のエッチング除去と同時に前記アモルファスシリコン残留物の除去を実行する位置に形成されていることを特徴とする請求項 2 に記載の薄膜トランジスタアレイに存する。

また請求項 4 に記載の発明の要旨は、前記屈曲型コンタクトスリットは、コンタクト工程の次の工程であるドレインパターンのエッチング除去の際に当該コンタクト工程にて除去した凹部上に露出した前記メタル残留物を同時に除去する位置に形成されていることを特徴とする請求項 2 または 3 に記載の薄膜トランジスタアレイに存する。

また請求項 5 に記載の発明の要旨は、アモルファスシリコン残留物によるパターンニング不良により発生する点欠陥、またはメタル残留物によるパターンニング不良により発生する線欠陥を含む不良を防止した薄膜トランジスタアレイ製造方法であって、ゲート層、ドレインパターンまたはストレージパターンの配線が互いに近接平行する構成を備えたデルタ配列型のトランジスタ構造を作成する工程と、デルタ配列型のトランジスタ構造においてゲート層、ドレインパターンまたはストレージパターンの各配線の近接平行部分に形成され、当該コンタクトスリットを用いて当該ゲート層または当該ドレインパターンおよび当該ストレージパターンドレインパターンの各配線間に発生するシリコン残留物およびメタル残留物

をエッチング除去するコンタクトスリットを作成する工程を有することを特徴とする薄膜トランジスタアレイ製造方法に存する。

また請求項 6 に記載の発明の要旨は、前記ゲート層ならびに当該ゲート層に平行する前記ドレインパターンとの隙間領域と、前記ストレージパターンならびに当該ストレージパターンに平行する前記ドレインパターンとの隙間領域との 2 つの領域を結んで形成されている屈曲型コンタクトスリットを作成する工程を有することを特徴とする請求項 5 に記載の薄膜トランジスタアレイ製造方法に存する。

また請求項 7 に記載の発明の要旨は、コンタクト工程実行時であって凹部を形成する下部に前記アモルファスシリコン残留物があつた場合にゲート絶縁層のエッチング除去と同時に前記アモルファスシリコン残留物の除去を実行する位置に前記屈曲型コンタクトスリットを作成する工程を有することを特徴とする請求項 6 に記載の薄膜トランジスタアレイ製造方法に存する。

また請求項 8 に記載の発明の要旨は、コンタクト工程の次の工程であるドレインパターンのエッチング除去の際に当該コンタクト工程にて除去した凹部上に露出した前記メタル残留物を同時に除去する位置に前記屈曲型コンタクトスリットを作成する工程を有することを特徴とする請求項 6 または 7 に記載の薄膜トランジスタアレイ製造方法に存する。

また請求項 9 に記載の発明の要旨は、ガラス基板上に前記ゲート層、および前記ゲート層に近接平行した前記ストレージパターンを形成する工程と、前記ストレージパターンの上に、前記ゲート絶縁層、I 型アモルファスシリコン層、N+ 型アモルファスシリコン層を積層する工程と、前記 N+ 型アモルファスシリコン層の所定パターンを除去するとともに、同一パターンの前記 I 型アモルファスシリコン層を必要な部分だけ残して除去する工程と、ソースパターンおよび前記ドレインパターンと周辺端子部との導通のために、所定パターンで前記ゲート絶縁層をエッチングすると同時に、前記ゲート層と当該ゲート層に平行する前記ドレインパターン形成領域の間、および前記ストレージパターンと当該ストレージパターンに平行する前記ドレインパターン形成領域の間、の 2 つを結んだ屈曲型の領域下の前記ゲート絶縁層をエッチング除去して前記屈曲型コンタクトスリットを形成するとともに、電極形成領域と前記ドレインパターンの形成領域との間に

も前記コンタクトスリットを形成する工程と、前記N+型アモルファスシリコン層および前記I型アモルファスシリコン層のチャネル掘り込みを行うとともに、当該チャネル掘り込みの上に絶縁保護層を形成する工程を有することを特徴とする請求項8に記載の薄膜トランジスタアレイ製造方法に存する。

【0011】

【発明の実施の形態】

以下に示す各実施の形態の特徴は、デルタ配列型の薄膜トランジスタアレイにおいて、ゲート層（パターン）とドレインパターン、ストレージパターンの近接平行部分にコンタクトスリット（凹部）を形成することにより、アモルファスシリコン（a-Si）残留物を除去するとともに、ドレインエッチングの際にゲート層（パターン）の残留物を除去して線欠陥等の致命不良を防ぐことにある。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0012】

（第1の実施の形態）

図1を参照すると、本実施の形態の一実施の形態としてのデルタ配列型の薄膜トランジスタアレイの平面図が示されている。図2および図3はそのA-A'線、B-B'線にそれぞれ沿った断面図である。図4は、図1に示すC枠で囲まれている部分の拡大図である。図1乃至4において、1はガラス基板、2はゲート層（パターン）、3はゲート絶縁層、4はI型アモルファスシリコン層、5はN+型アモルファスシリコン層、6はコンタクトスリット（凹部）、7はソースパターン、8はドレインパターン、9は透明画素電極層、10は絶縁保護層、12はストレージパターン、13は屈曲型コンタクトスリットを示している。図1を参照すると、本実施の形態のデルタ配列型の薄膜トランジスタアレイは、上下の単位素子が半素子ずつ交互にずれた構成のデルタ配列型薄膜トランジスタアレイであって、ゲート層（パターン）2、I型アモルファスシリコン層4、N+型アモルファスシリコン層5、コンタクトスリット（凹部）6、ソースパターン7、ドレインパターン8、透明画素電極層9、ストレージパターン12、屈曲型コンタクトスリット13を中心にして構成されている。

【0013】

また本実施の形態のデルタ配列型の薄膜トランジスタアレイは、その構造上、ドレインパターン 8 とゲート層（パターン） 2 が近接平行する部分が存在する。また、単位素子の高開口率設計には、ストレージパターン 1 2 を画素電極上部に設置するのが有効であり、その場合、ゲート層（パターン） 2、ドレインパターン 8、ストレージパターン 1 2 が互いに近接平行する構成となる。

【 0 0 1 4 】

ゲート層（パターン） 2 ならびに当該ゲート層（パターン） 2 に平行するドレインパターン 8 の隙間領域と、ストレージパターン 1 2 ならびに当該ストレージパターン 1 2 に平行するドレインパターン 8 の隙間領域との 2 つの領域を結んで屈曲型のコンタクトスリット（凹部） 6 を設けている。換言すれば、ゲート層（パターン） 2 ならびに当該ゲート層（パターン） 2 に平行するドレインパターン 8 の隙間領域が、屈曲型のコンタクトスリット（凹部） 6 を介して、ストレージパターン 1 2 ならびに当該ストレージパターン 1 2 に平行するドレインパターン 8 の隙間領域と結ばれる構造を有している。

【 0 0 1 5 】

この屈曲型コンタクトスリット 1 3 は、コンタクト工程実行時に、凹部を形成する下部にアモルファスシリコン（a-Si）残留物 1 4 があった場合にゲート絶縁層 3 のエッチング除去と同時にアモルファスシリコン（a-Si）残留物 1 4 の除去も実行するために用いる。また、コンタクト工程の次の工程であるドレインパターン工程において、コンタクト工程にて除去した凹部上に露出したメタル残留物 1 5 も、ドレインパターン 8 のエッチング除去の際に同時に除去できる。

【 0 0 1 6 】

これにより、アモルファスシリコン（a-Si）残留物 1 4 によるソースドレイン間ショート等によって発生する点欠陥と、メタル残留物 1 5 によるゲートストレージ間ショート等によって発生する線欠陥などの致命不良を防止できるようになるといった効果を奏する。また、この屈曲型コンタクトスリット 1 3 は、横方向の前段と次段のスリットを交互に組み合わせた構造であるため、アモルファスシリコン（a-Si）残留物 1 4 を除去できない隙間が少なく、ま

た、ゲート層（パターン）2—ストレージパターン12間のメタル残留物15については全ての領域において導通を切断できるため、残留物除去の効果を向上できるといった効果を奏する。

【0017】

次に薄膜トランジスタアレイ製造方法について説明する。図2、3、4を参照すると、まず最初に、ガラス基板1上に、スパッタ（真空放電ガス薄膜形成）法によりCrを成膜し、フォトリソグラフィによりゲート層（パターン）2、およびゲート層（パターン）2に近接平行したストレージパターン12を形成する。ゲート層（パターン）2およびストレージパターン12の上に、ゲート絶縁層3、I型アモルファスシリコン層4、N+型アモルファスシリコン層5をプラズマ化学気相堆積（PCVD）法により積層する。

【0018】

次に、N+型アモルファスシリコン層5の所定パターン（図示せず）を除去し、さらに同一パターンのI型アモルファスシリコン層4を必要な部分だけ残してドライエッチングにより除去する。その後、ソースパターン7やドレインパターン8と周辺端子部等との導通のために、所定パターン（図示せず）でゲート絶縁層3をドライエッチングによりエッチングする。このとき、①ゲート層（パターン）2と当該ゲート層（パターン）2に平行するドレインパターン8形成領域の間、②ストレージパターン12と当該ストレージパターン12に平行するドレインパターン8形成領域の間、の2つを結んだ屈曲型の領域下のゲート絶縁層3も同時にエッチング除去して凹部（屈曲型コンタクトスリット13）を形成する。また、電極形成領域とドレインパターン8形成領域との間にも凹部（コンタクトスリット（凹部）6）を同様に形成する。

【0019】

次に、CrやMo-Ta、AlまたはAl/Ta等の単層または多層構造を成膜し、パターニングしてソースパターン7およびドレインパターン8を形成する。次いで、スパッタによりITOを堆積してパターニングして透明画素電極層9を形成する。さらに、ドライエッチングによりN+型アモルファスシリコン層5およびI型アモルファスシリコン層4のチャンネル掘り込みを行い、当該チャンネル

掘り込みの上に、絶縁保護層 1 0 を形成する。これにより、デルタ配列型の薄膜トランジスタアレイが完成する。

【 0 0 2 0 】

以上の製造プロセスにおいて、ゲート絶縁層 3 にコンタクトをドライエッチングにより形成する際に、ゲート層（パターン） 2、ストレージパターン 1 2 がドレインパターン 8 と近接平行する間の所定パターン（すなわち、屈曲型コンタクトスリット 1 3 下部分）のゲート絶縁層 3 をエッチング除去するため、前工程でのアモルファスシリコン層のパターニング不良によるアモルファスシリコン（a - S i）残留物 1 4 がゲート層（パターン） 2、ストレージパターン 1 2、ドレインパターン 8 の間にあっても、工程を増加することなく、当該アモルファスシリコン（a - S i）残留物 1 4 をエッチング除去することができる。さらに加えて、ゲート絶縁層 3 にコンタクトをドライエッチングにより形成する際に、ゲート層（パターン） 2 のパターニング不良によるメタル残留物 1 5 が、コンタクト工程にて掘り込んだゲート層（パターン） 2 とストレージパターン 1 2 の間にあった場合は、当該メタル残留物 1 5 のメタル表面を露出した状態で次のドレインパターン工程へ進むため、ドレインパターン 8 のエッチング除去の際に当該メタル残留物 1 5 を同時に除去して導通を切断することができる。また、屈曲型コンタクトスリット 1 3 は、横方向の前段と次段のスリットを交互に組み合わせた構造であるため、アモルファスシリコン（a - S i）残留物 1 4 を除去できない隙間が少なく、また、ゲート層（パターン） 2 - ストレージパターン 1 2 間のメタル残留物 1 5 については全ての領域において導通を切断できるため、残留物除去の効果を向上することができる。以上の結果、アモルファスシリコン（a - S i）残留物 1 4 によるソースドレイン間ショート等によって発生する点欠陥や、メタル残留物 1 5 によるゲートストレージ間ショート等によって発生する線欠陥などの致命不良を防止するといった効果を奏する。

【 0 0 2 1 】

このことを図 2 0 を用いてさらに説明する。図 2 0 は、本実施の形態の屈曲型コンタクトスリット 1 3 上（図 1 に示す C 枠内）にアモルファスシリコン（a - S i）残留物 1 4 とメタル残留物 1 5 が発生した場合の平面拡大図（C'）であ

る。図 20 では、アモルファスシリコン (a-Si) 残留物 14 とメタル残留物 15 が発生した場合に、本実施の形態の屈曲型コンタクトスリット 13 が掘り込まれていれば、どちらの残留物も除去可能であることを示している。すなわち、本実施の形態の屈曲型コンタクトスリット 13 は、横方向の前段と次段のスリットを交互に組み合わせてゲートライン方向に切れ目のないスリットパターンを形成するため、残留物除去の効果を格段に向上していることが分かる。

【0022】

(第 2 の実施の形態)

第 1 の実施の形態では、本実施の形態をストレージラインを画素電極上部に配置してゲートラインと近接平行したデルタ配列型薄膜トランジスタアレイに適応したが、ストレージラインを画素電極の中央部に配置したデルタ配列型薄膜トランジスタアレイについても適応することができる。その構成を第 2 の実施の形態として図 5 に示す。

【0023】

図 5 を参照すると、本発明の第 2 の実施の形態にかかるデルタ配列型の薄膜トランジスタアレイを説明するための平面図が示されている。図 2 は図 5 のデルタ配列型の薄膜トランジスタアレイの A-A' 線 (第 1 の実施の形態と同じ)、図 6 は図 5 のデルタ配列型の薄膜トランジスタアレイの D-D' 線にそれぞれ沿った断面図である。図 7 は図 5 のデルタ配列型の薄膜トランジスタアレイの E 枠で囲まれている部分の拡大図である。なお、第 1 の実施の形態において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。

【0024】

本実施の形態では、まず最初に、ガラス基板 1 上に Cr をスパッタ (真空放電ガス薄膜形成) 法により成膜し、ゲート層 (パターン) 2 をフォトリソグラフィにより形成し、画素電極中央にストレージパターン 12 を形成する。

【0025】

次に、ゲート層 (パターン) 2 およびストレージパターン 12 の上に、ゲート絶縁層 3、I 型アモルファスシリコン層 4、N+型アモルファスシリコン層 5 をプラズマ化学気相堆積 (PCVD) 法により積層する。次いで、N+型アモルフ

アスシリコン層 5 の所定パターン（図示せず）をドライエッチングにより除去し、同一パターンの I 型アモルファスシリコン層 4 を必要な部分だけ残してドライエッチングにより除去する。その後、ソースパターン 7 やドレインパターン 8 と周辺端子部等との導通のために、所定パターン（図示せず）でゲート絶縁層 3 をドライエッチングによりエッチングする。

【 0 0 2 6 】

当該ゲート絶縁層 3 をドライエッチングによりエッチングするとき、①ゲート層（パターン）2 と当該ゲート層（パターン）2 に平行するドレインパターン 8 形成領域との間の 1 箇所、②透明画素電極層 9 と横方向のドレインパターン 8 形成領域との間の 1 箇所、③透明画素電極層 9 と縦方向のドレインパターン 8 形成領域との間の 2 箇所（すなわち、ストレージパターン 1 2 の上方の領域）、合計 4 つを結んだ領域下のゲート絶縁層 3 も同時にエッチング除去して凹部（屈曲型コンタクトスリット 1 3）を形成する。また、電極形成領域とドレインパターン 8 形成領域との間も同様に凹部（コンタクトスリット（凹部）6）を形成する。

【 0 0 2 7 】

次に、Cr や Mo - Ta, Al または Al / Ta 等の単層または多層構造を成膜し、パターニングしてソースパターン 7 およびドレインパターン 8 を形成する。次いで、スパッタにより ITO を堆積しパターニングして透明画素電極層 9 を形成する。さらに、N+型アモルファスシリコン層 5 および I 型アモルファスシリコン層 4 のチャンネル掘り込みをドライエッチングにより行い、当該チャンネル掘り込みの上に、絶縁保護層 1 0 を形成する。これにより、デルタ配列型の薄膜トランジスタアレイが完成する。

【 0 0 2 8 】

以上の製造プロセスにおいて、ゲート絶縁層 3 にコンタクトをドライエッチングにより形成する際に、ゲート層（パターン）2 がドレインパターン 8 と近接平行する間の所定パターン（すなわち、屈曲型コンタクトスリット 1 3 下部分）のゲート絶縁層 3 をエッチング除去するので、前工程でのアモルファスシリコン層のパターニング不良によるアモルファスシリコン（a - Si）残留物 1 4 がゲート層（パターン）2、ドレインパターン 8 の間にあっても、工程を増加すること

なく、当該アモルファスシリコン（a-Si）残留物 1 4 をエッチング除去することができる。これと同時に、ゲート層のパターニング不良によるメタル残留物 1 5 が、コンタクト工程にて掘り込んだ凹部にあった場合は、当該メタル残留物 1 5 のメタル表面を露出した状態で次のドレインパターン工程へ進むため、ドレインパターン 8 をエッチング除去する際に当該メタル残留物 1 5 を同時に除去して容量結合を切断することができる。また、屈曲型コンタクトスリット 1 3 は、横方向の前段と次段のスリットを交互に組み合わせた構造であるため、アモルファスシリコン（a-Si）残留物 1 4 を除去できない隙間が少なく、残留物除去の効果を向上することができる。以上の結果、アモルファスシリコン（a-Si）残留物 1 4 によるソースドレイン間ショート等によって発生する点欠陥や、メタル残留物 1 5 によるゲートストレージ間ショート等によって発生する線欠陥などの致命不良を防止するといった効果を奏する。

【0029】

なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。また上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0030】

【発明の効果】

本発明は以上のように構成されているので、アモルファスシリコン残留物によるパターニング不良により発生する点欠陥を含む不良を防止できるようになるといった効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態にかかるデルタ配列型の薄膜トランジスタアレイを説明するための平面図である。

【図 2】

図 1 または図 5 のデルタ配列型の薄膜トランジスタアレイの A-A' 線に沿っ

た断面図である。

【図 3】

図 1 のデルタ配列型の薄膜トランジスタアレイの B - B' 線に沿った断面図である。

【図 4】

図 1 に示す C 枠で囲まれている部分の拡大図である。

【図 5】

本発明の第 2 の実施の形態にかかるデルタ配列型の薄膜トランジスタアレイを説明するための平面図である。

【図 6】

図 5 のデルタ配列型の薄膜トランジスタアレイの D - D' 線に沿った断面図である。

【図 7】

図 5 のデルタ配列型の薄膜トランジスタアレイの E 枠で囲まれている部分の拡大図である。

【図 8】

第 1 従来技術の第 1 の実施の形態のデルタ配列型の薄膜トランジスタアレイの平面図である。

【図 9】

図 8 のデルタ配列型の薄膜トランジスタアレイの F - F' 線に沿った断面図である。

【図 1 0】

図 8 のデルタ配列型の薄膜トランジスタアレイの G - G' 線に沿った断面図である。

【図 1 1】

図 8 のデルタ配列型の薄膜トランジスタアレイの H 枠で囲まれている部分の拡大図である。

【図 1 2】

第 1 従来技術の第 2 の実施の形態の平面図である。

【図 1 3】

図 1 2 のデルタ配列型の薄膜トランジスタアレイの I - I' 線に沿った断面図である。

【図 1 4】

図 1 2 のデルタ配列型の薄膜トランジスタアレイの J - J' 線に沿った断面図である。

【図 1 5】

図 1 2 のデルタ配列型の薄膜トランジスタアレイの K 枠で囲まれている部分の拡大図である。

【図 1 6】

第 2 従来技術の T F T の平面図である。

【図 1 7】

図 1 6 の T F T の L - L' 線に沿った断面図である。

【図 1 8】

図 1 6 の T F T の M - M' 線に沿った断面図である。

【図 1 9】

図 1 6 の T F T の N 枠で囲まれている部分の拡大図である。

【図 2 0】

図 1 の屈曲型コンタクトスリット上（図 1 に示す C 枠内）にアモルファスシリコン（a - S i）残留物とメタル残留物が発生した場合の平面拡大図（C'）である。

【図 2 1】

図 8 のデルタ配列型の薄膜トランジスタアレイの H 枠内にアモルファスシリコン（a - S i）残留物とメタル残留物が発生した場合の平面拡大図（H'）である。

【図 2 2】

図 1 2 のデルタ配列型の薄膜トランジスタアレイの K 枠内にアモルファスシリコン（a - S i）残留物とメタル残留物が発生した場合の平面拡大図（K'）である。

【図 2 3】

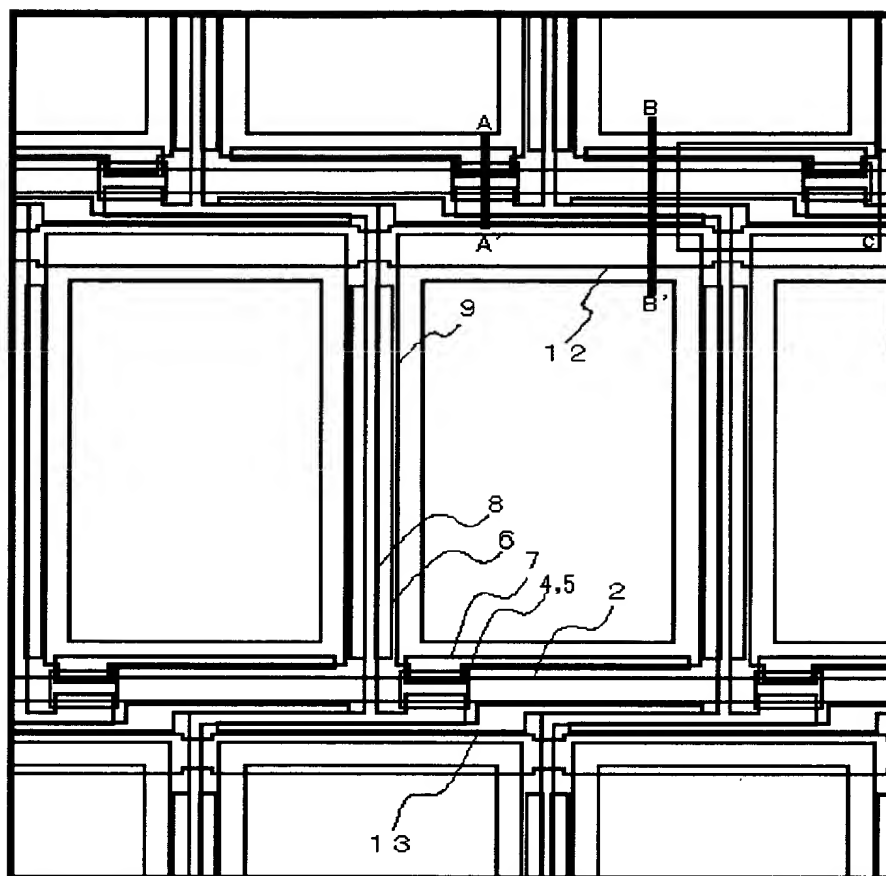
図 1 6 の T F T の N 枠内にアモルファスシリコン（a - S i）残留物とメタル残留物が発生した場合の平面拡大図（N'）である。

【符号の説明】

- 1 … ガラス基板
- 2 … ゲート層（パターン）
- 3 … ゲート絶縁層
- 4 … I 型アモルファスシリコン層
- 5 … N + 型アモルファスシリコン層
- 6 … コンタクトスリット（凹部）
- 7 … ソースパターン
- 8 … ドレインパターン
- 9 … 透明画素電極層
- 1 0 … 絶縁保護層
- 1 2 … ストレージパターン
- 1 3 … 屈曲型コンタクトスリット
- 1 4 … アモルファスシリコン（a - S i）残留物
- 1 5 … メタル残留物
- 1 6 … 保護膜スリット状開口部

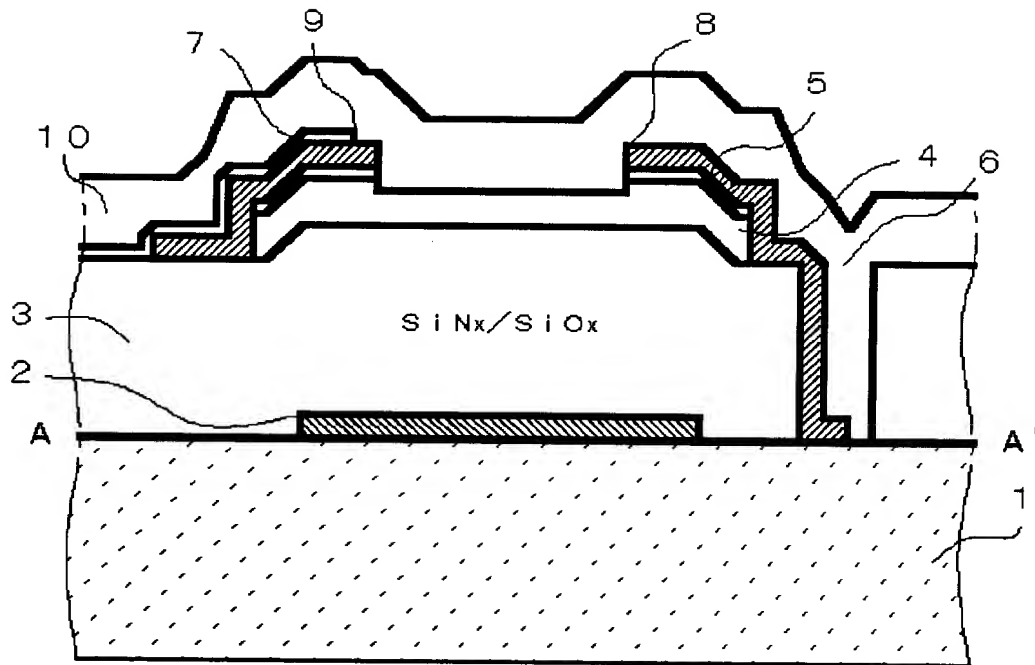
【書類名】 図面

【図 1】



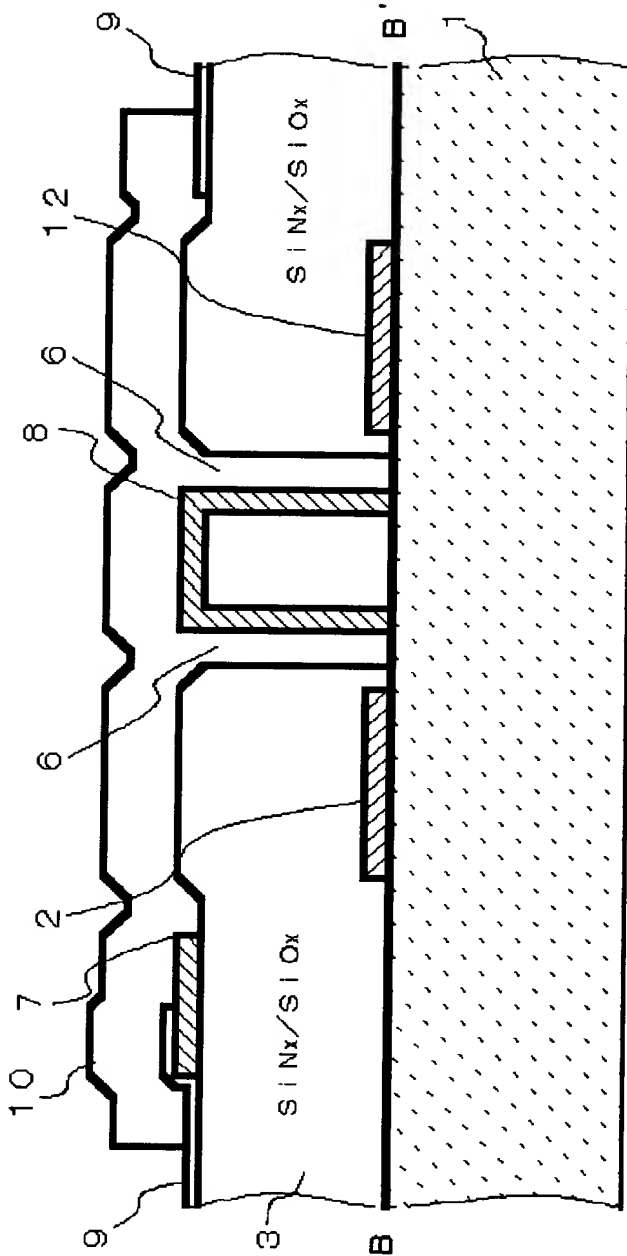
- | | |
|------------------------|------------------------|
| 2 . . . ゲート層 (パターン) | 8 . . . ドレインパターン |
| 4 . . . I 型アモルファスシリコン層 | 9 . . . 透明画素電極層 |
| 5 . . . N+型アモルファスシリコン層 | 1 2 . . . ストレージパターン |
| 6 . . . コンタクトスリット (凹部) | 1 3 . . . 屈曲型コンタクトスリット |
| 7 . . . ソースパターン | |

【図 2】



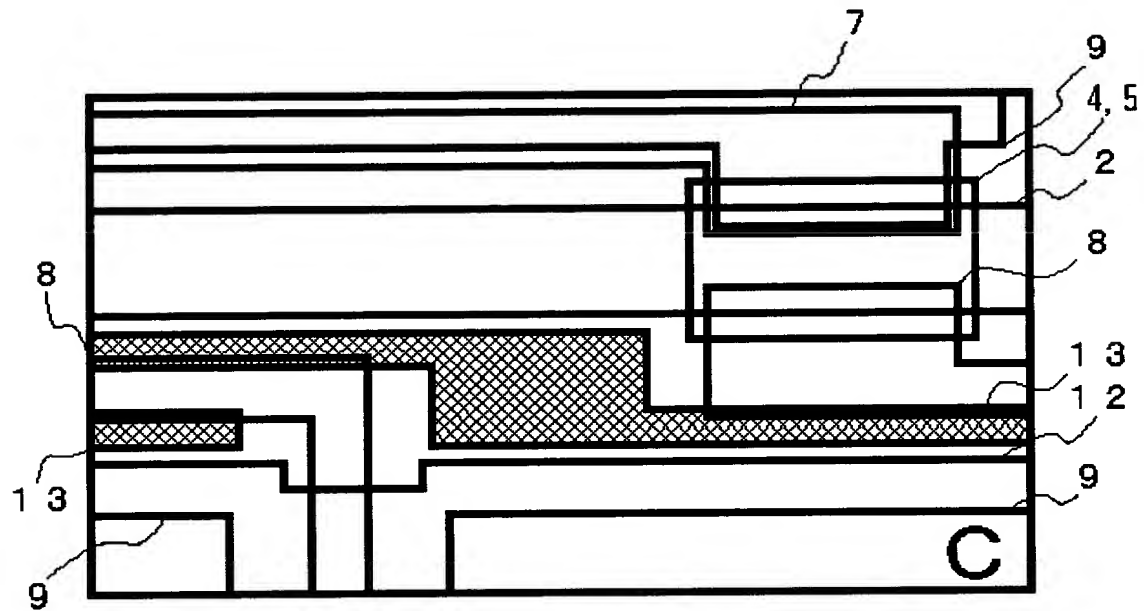
- | | |
|--------------------|-------------------|
| 1・・・ガラス基板 | 6・・・コンタクトスリット（凹部） |
| 2・・・ゲート層（パターン） | 7・・・ソースパターン |
| 3・・・ゲート絶縁層 | 8・・・ドレインパターン |
| 4・・・I型アモルファスシリコン層 | 9・・・透明画素電極層 |
| 5・・・N+型アモルファスシリコン層 | 10・・・絶縁保護層 |

【図 3】



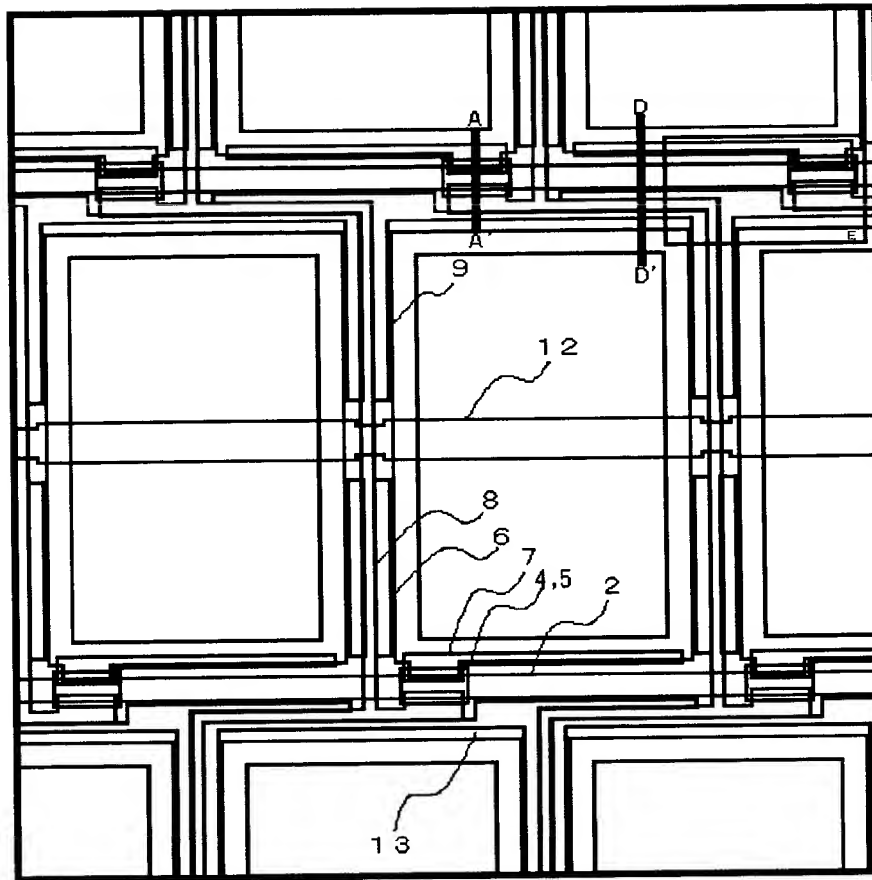
- | | |
|--------------------|----------------|
| 1・・・ガラス基板 | 8・・・ドレインパターン |
| 2・・・ゲート層 (パターン) | 9・・・透明画素電極層 |
| 3・・・ゲート絶縁層 | 10・・・絶縁保護層 |
| 6・・・コンタクトスリット (凹部) | 12・・・ストレージパターン |
| 7・・・ソースパターン | |

【図 4】



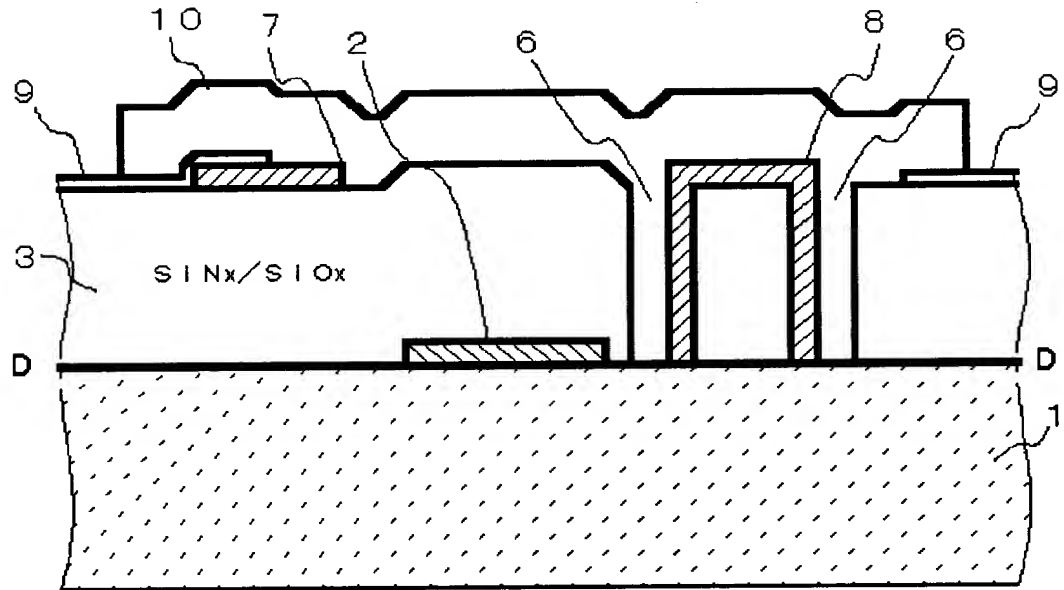
- | | |
|--------------------|-------------------|
| 2・・・ゲート層（パターン） | 8・・・ドレインパターン |
| 4・・・I型アモルファスシリコン層 | 9・・・透明画素電極層 |
| 5・・・N+型アモルファスシリコン層 | 12・・・ストレージパターン |
| 7・・・ソースパターン | 13・・・屈曲型コンタクトスリット |

【図 5】



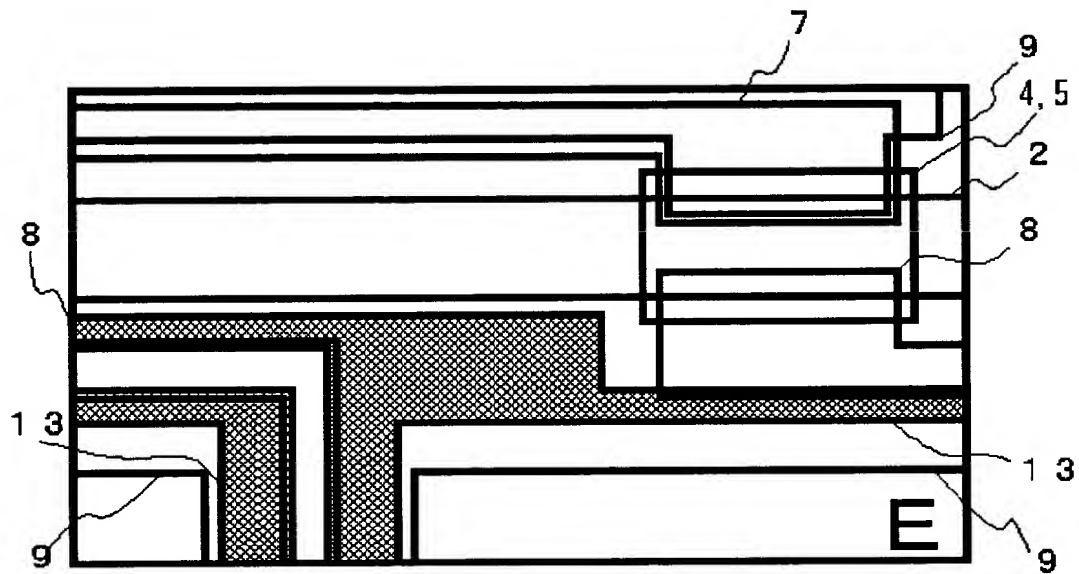
- | | |
|--------------------|-------------------|
| 2・・・ゲート層（パターン） | 8・・・ドレインパターン |
| 4・・・I型アモルファスシリコン層 | 9・・・透明画素電極層 |
| 5・・・N+型アモルファスシリコン層 | 12・・・ストレージパターン |
| 6・・・コンタクトスリット（凹部） | 13・・・屈曲型コンタクトスリット |
| 7・・・ソースパターン | |

【図 6】



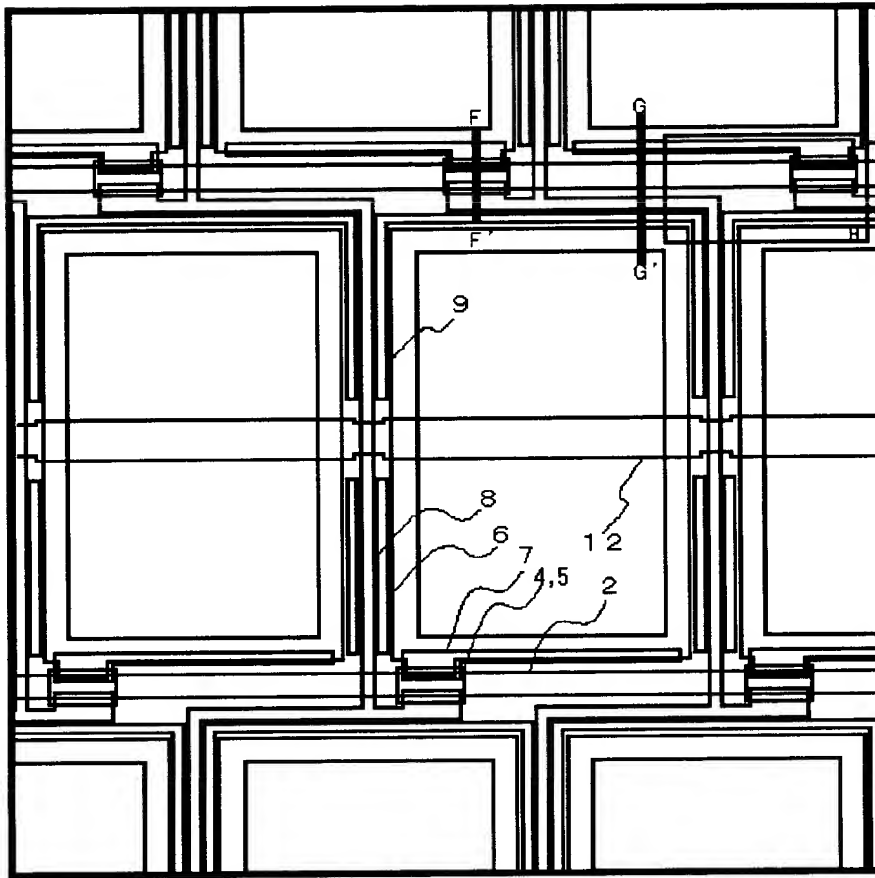
- | | |
|------------------------|------------------|
| 1 . . . ガラス基板 | 7 . . . ソースパターン |
| 2 . . . ゲート層 (パターン) | 8 . . . ドレインパターン |
| 3 . . . ゲート絶縁層 | 9 . . . 透明画素電極層 |
| 6 . . . コンタクトスリット (凹部) | 10 . . . 絶縁保護層 |

【図 7】



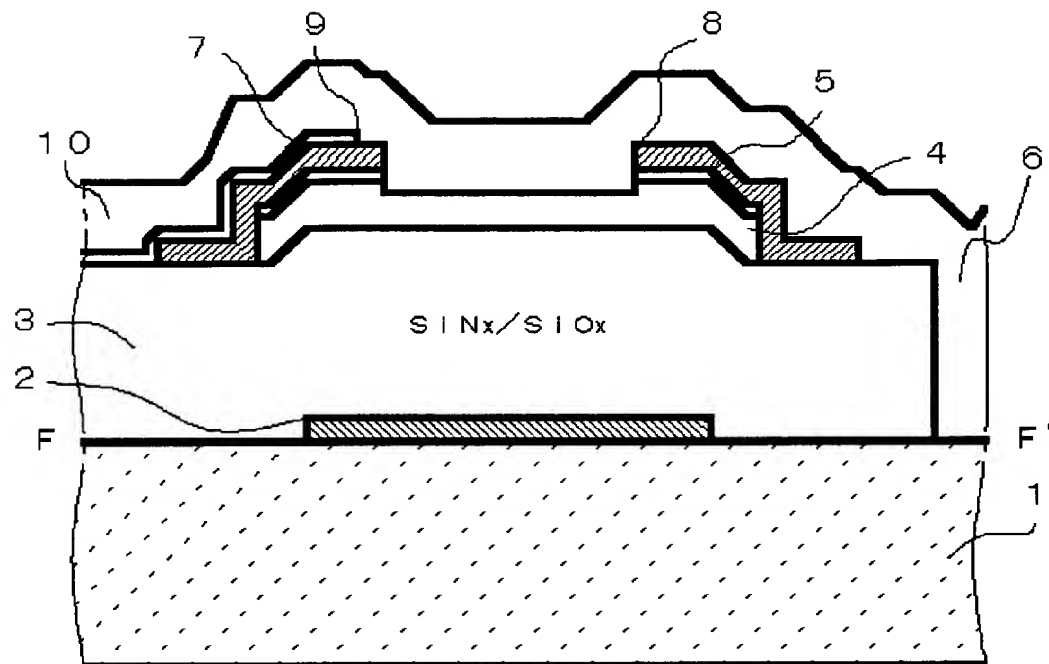
- | | |
|--------------------|-------------------|
| 2・・・ゲート層 (パターン) | 8・・・ドレインパターン |
| 4・・・I 型アモルファスシリコン層 | 9・・・透明画素電極層 |
| 5・・・N+型アモルファスシリコン層 | 13・・・屈曲型コンタクトスリット |
| 7・・・ソースパターン | |

【図 8】



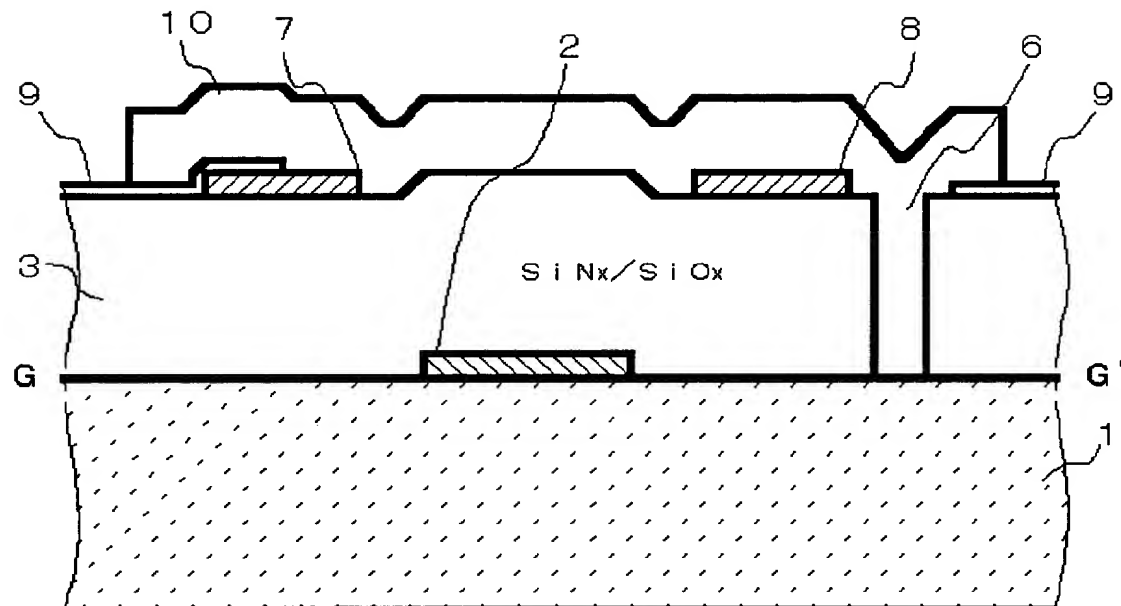
- | | |
|------------------------|---------------------|
| 2 . . . ゲート層 (パターン) | 8 . . . ドレインパターン |
| 4 . . . I 型アモルファスシリコン層 | 9 . . . 透明画素電極層 |
| 5 . . . N+型アモルファスシリコン層 | 1 2 . . . ストレージパターン |
| 6 . . . コンタクトスリット (凹部) | |
| 7 . . . ソースパターン | |

【図 9】



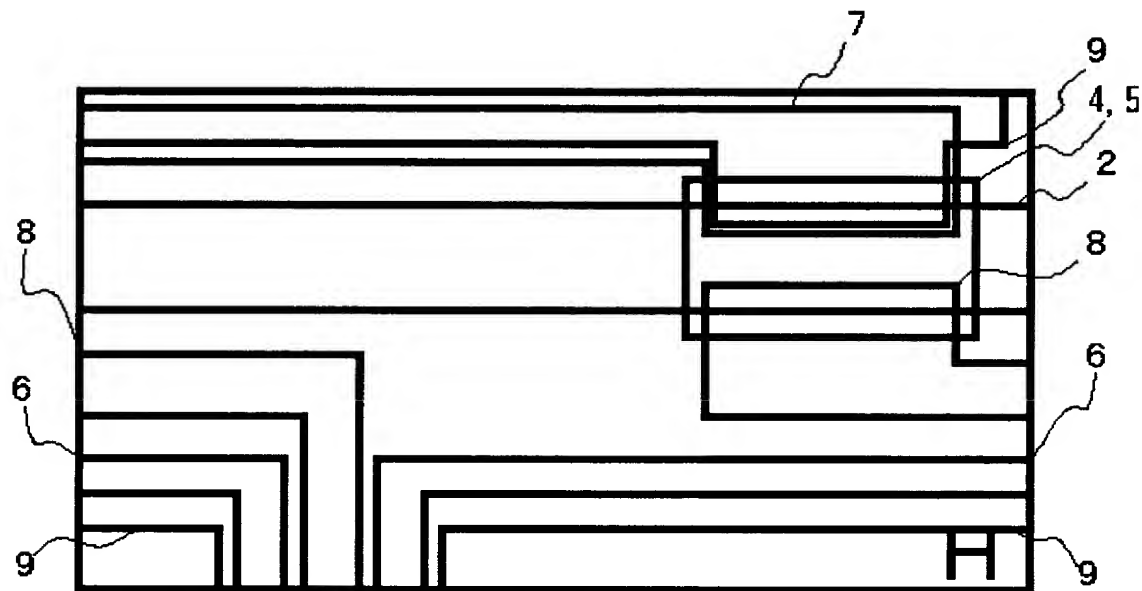
- | | |
|--------------------|--------------------|
| 1・・・ガラス基板 | 6・・・コンタクトスリット (凹部) |
| 2・・・ゲート層 (パターン) | 7・・・ソースパターン |
| 3・・・ゲート絶縁層 | 8・・・ドレインパターン |
| 4・・・I型アモルファスシリコン層 | 9・・・透明画素電極層 |
| 5・・・N+型アモルファスシリコン層 | 10・・・絶縁保護層 |

【図 1 0】



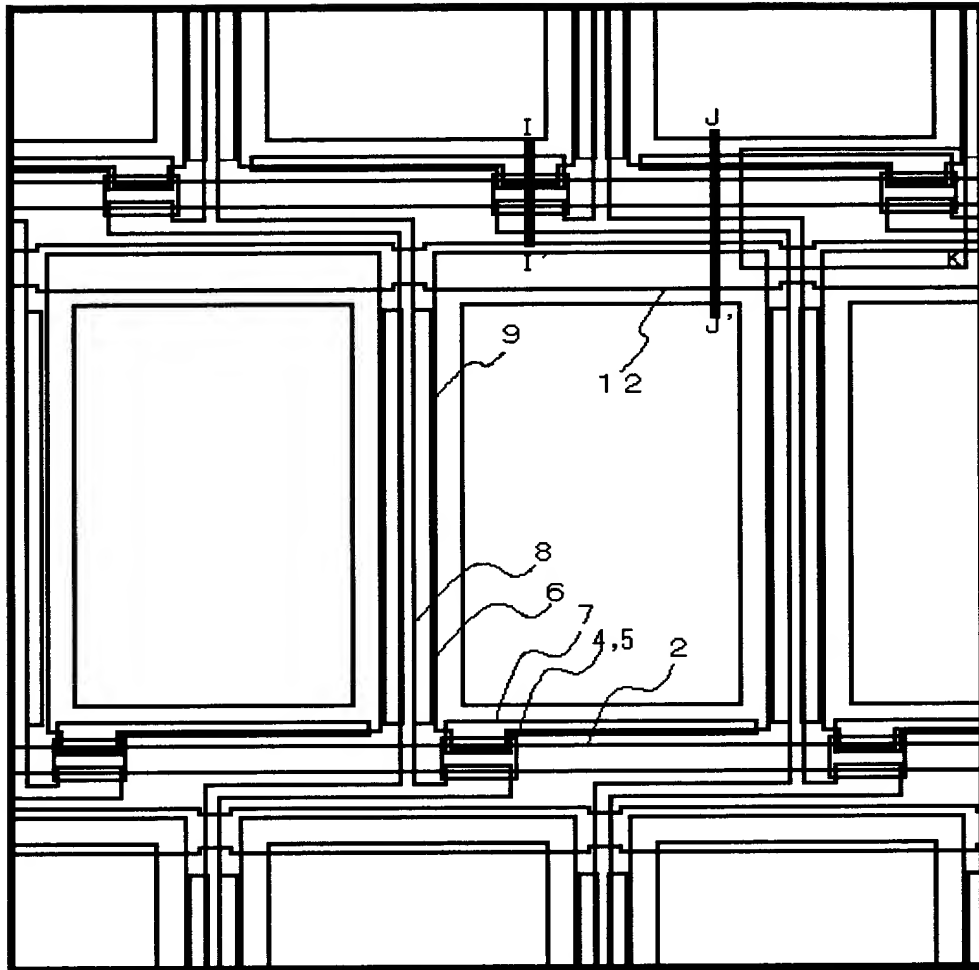
- | | |
|------------------------|------------------|
| 1 . . . ガラス基板 | 7 . . . ソースパターン |
| 2 . . . ゲート層 (パターン) | 8 . . . ドレインパターン |
| 3 . . . ゲート絶縁層 | 9 . . . 透明画素電極層 |
| 6 . . . コンタクトスリット (凹部) | 10 . . . 絶縁保護層 |

【図 1 1】



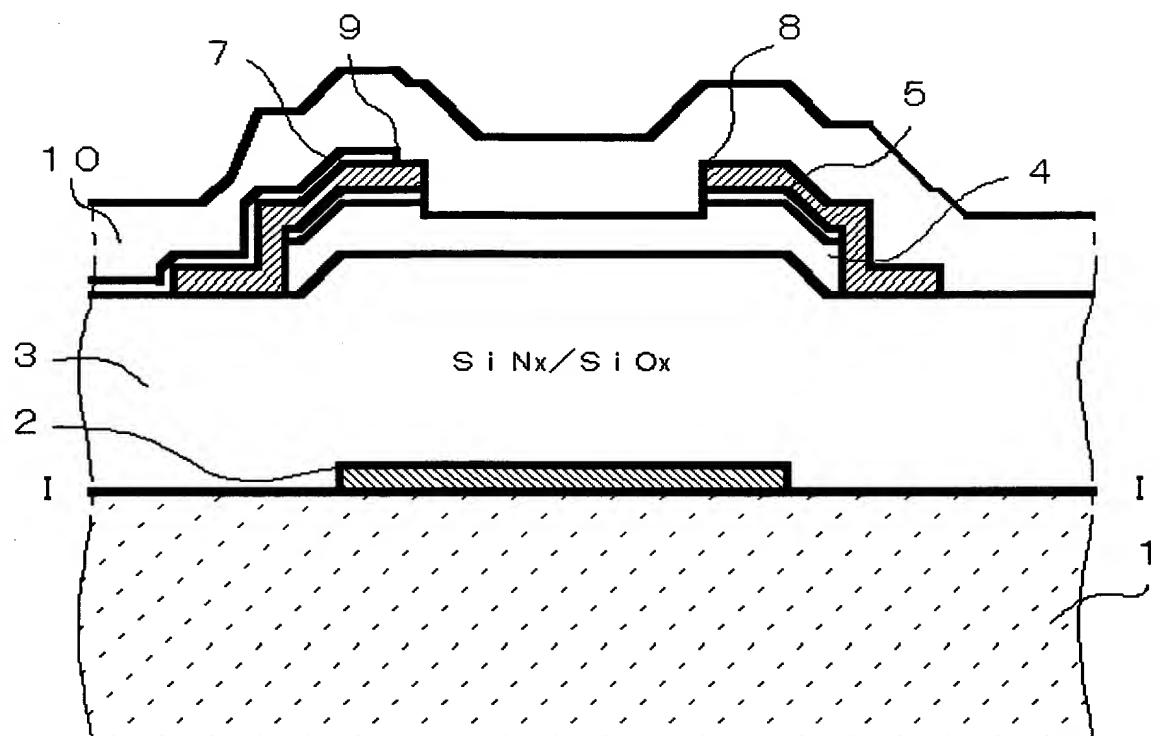
- | | |
|--------------------|--------------|
| 2・・・ゲート層 (パターン) | 7・・・ソースパターン |
| 4・・・I型アモルファスシリコン層 | 8・・・ドレインパターン |
| 5・・・N+型アモルファスシリコン層 | 9・・・透明画素電極層 |
| 6・・・コンタクトスリット (凹部) | |

【図 1 2】



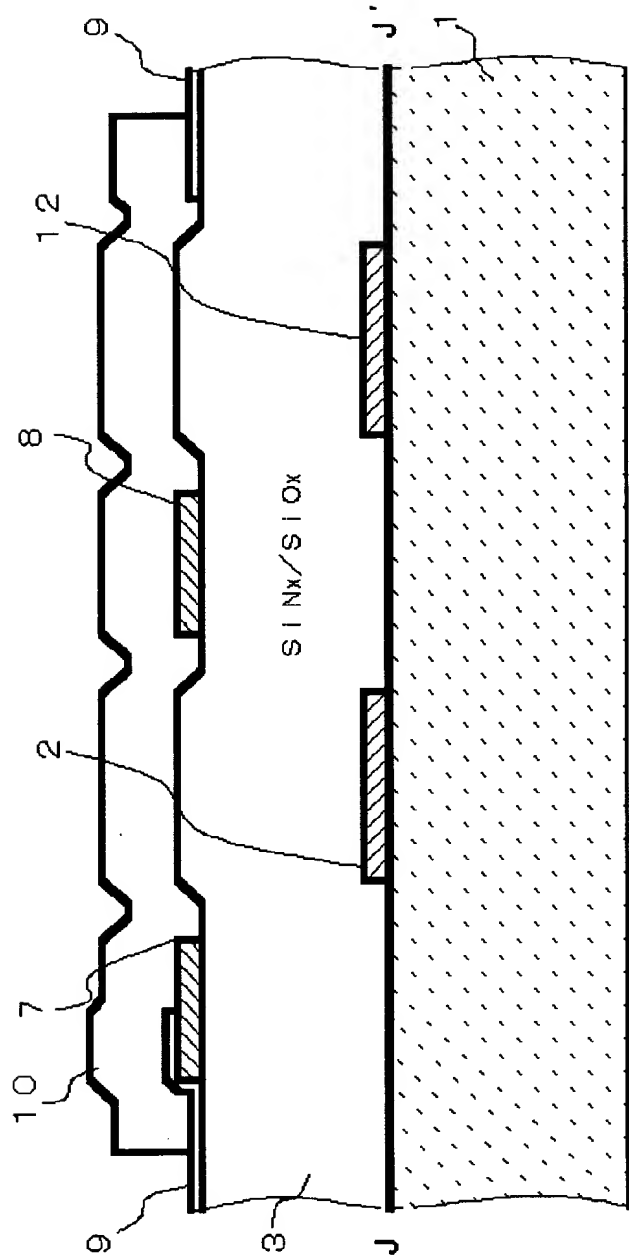
- | | |
|------------------------|---------------------|
| 2 . . . ゲート層 (パターン) | 8 . . . ドレインパターン |
| 4 . . . I 型アモルファスシリコン層 | 9 . . . 透明画素電極層 |
| 5 . . . N+型アモルファスシリコン層 | 1 2 . . . ストレージパターン |
| 6 . . . コンタクトスリット (凹部) | |
| 7 . . . ソースパターン | |

【図 13】



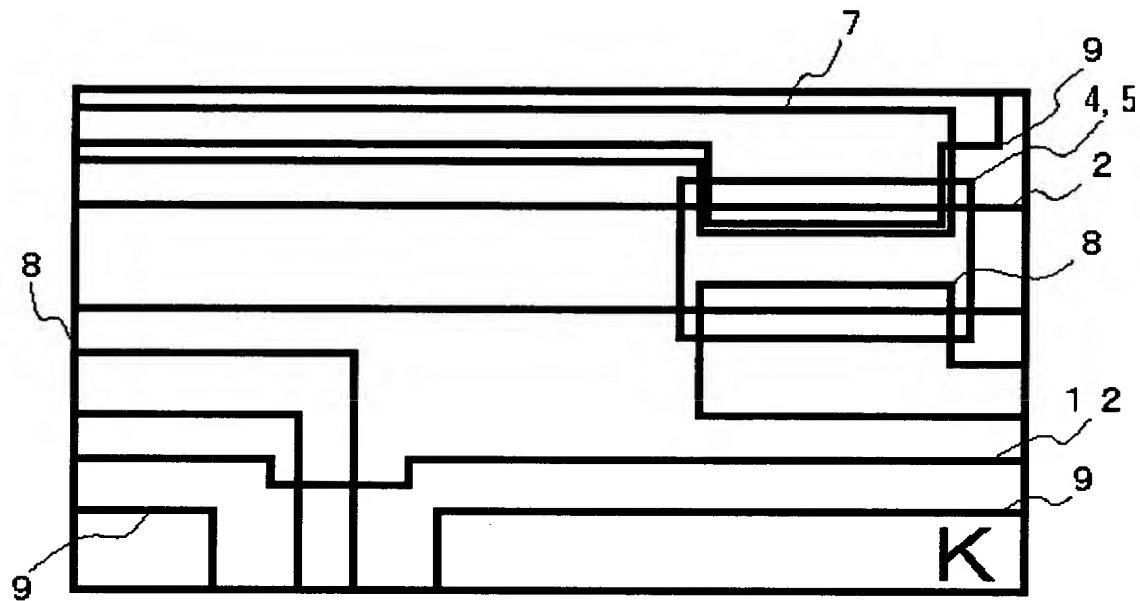
- | | |
|------------------------|------------------|
| 1 . . . ガラス基板 | 7 . . . ソースパターン |
| 2 . . . ゲート層 (パターン) | 8 . . . ドレインパターン |
| 3 . . . ゲート絶縁層 | 9 . . . 透明画素電極層 |
| 4 . . . I 型アモルファスシリコン層 | 10 . . . 絶縁保護層 |
| 5 . . . N+型アモルファスシリコン層 | |

【図 1 4】



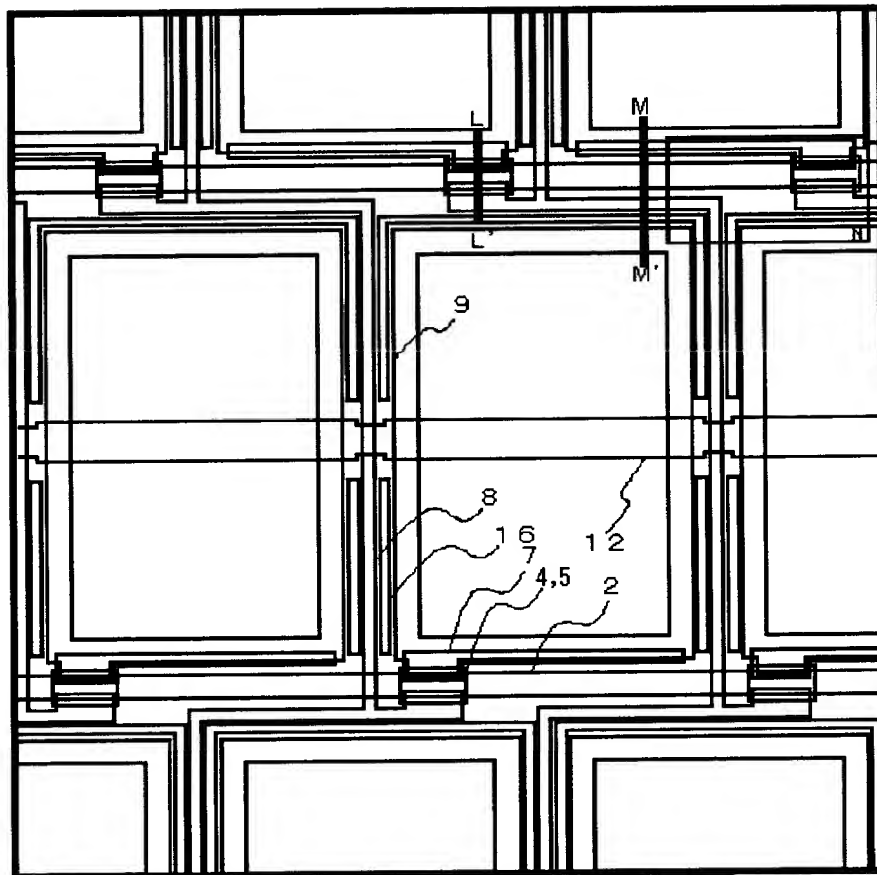
- | | |
|-----------------|----------------|
| 1・・・ガラス基板 | 8・・・ドレインパターン |
| 2・・・ゲート層 (パターン) | 9・・・透明画素電極層 |
| 3・・・ゲート絶縁層 | 10・・・絶縁保護層 |
| 7・・・ソースパターン | 12・・・ストレージパターン |

【図 1 5】



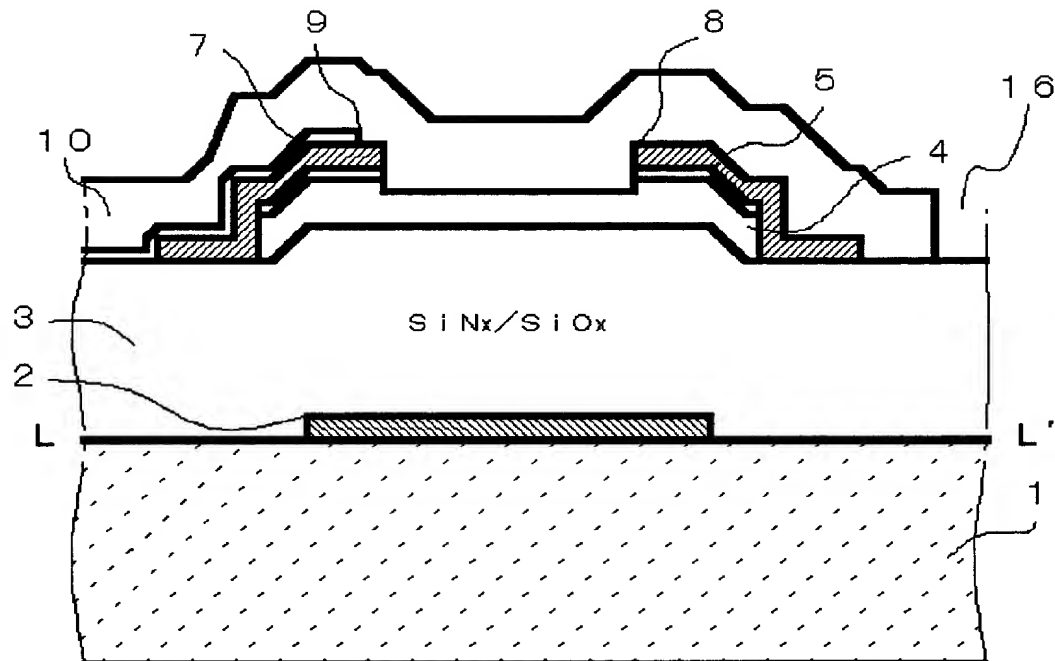
- | | |
|------------------------|---------------------|
| 2 . . . ゲート層 (パターン) | 8 . . . ドレインパターン |
| 4 . . . I 型アモルファスシリコン層 | 9 . . . 透明画素電極層 |
| 5 . . . N+型アモルファスシリコン層 | 1 2 . . . ストレージパターン |
| 7 . . . ソースパターン | |

【図 1 6】



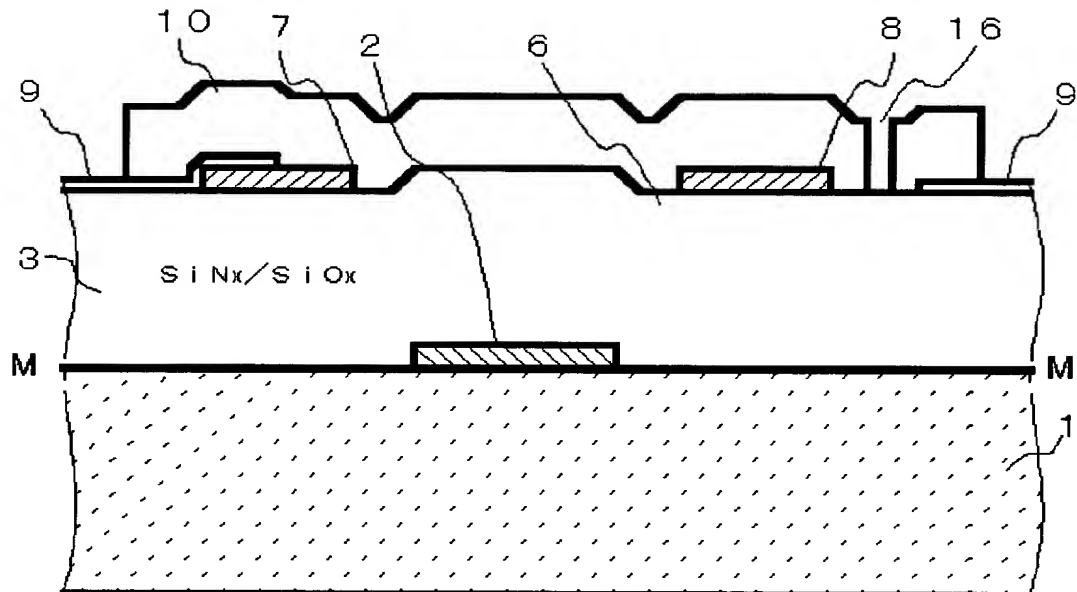
- | | |
|------------------------|------------------------|
| 2 . . . ゲート層 (パターン) | 9 . . . 透明画素電極層 |
| 4 . . . I 型アモルファスシリコン層 | 1 2 . . . ストレージパターン |
| 5 . . . N+型アモルファスシリコン層 | 1 6 . . . 保護膜 スリット状開口部 |
| 7 . . . ソースパターン | |
| 8 . . . ドレインパターン | |

【図 17】



- | | |
|------------------------|-----------------------|
| 1 . . . ガラス基板 | 7 . . . ソースパターン |
| 2 . . . ゲート層 (パターン) | 8 . . . ドレインパターン |
| 3 . . . ゲート絶縁層 | 9 . . . 透明画素電極層 |
| 4 . . . I 型アモルファスシリコン層 | 10 . . . 絶縁保護層 |
| 5 . . . N+型アモルファスシリコン層 | 16 . . . 保護膜 スリット状開口部 |

【図 18】



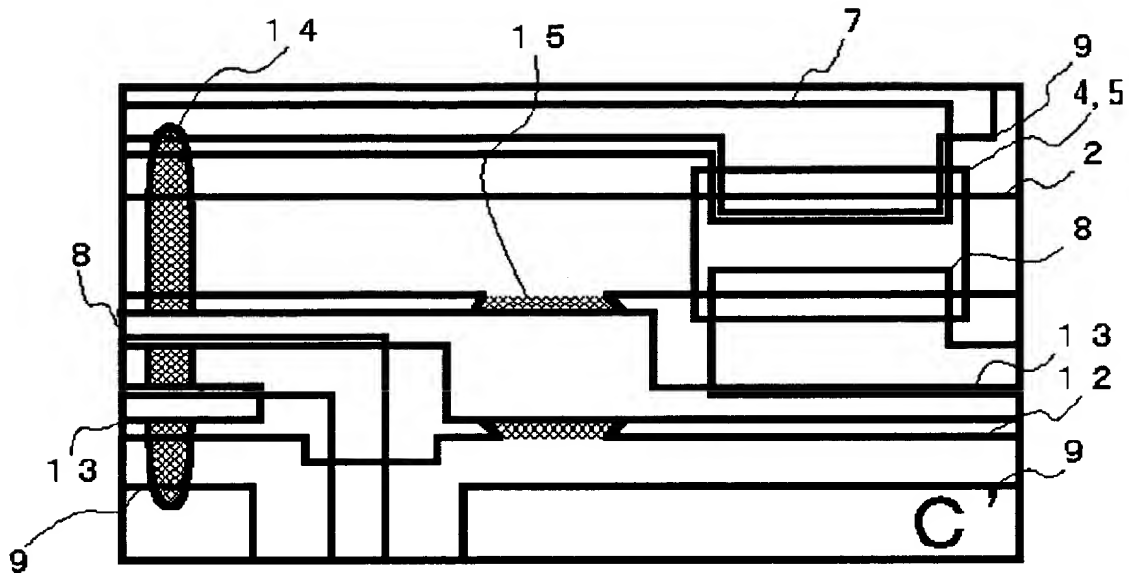
- | | |
|----------------|------------------|
| 1・・・ガラス基板 | 8・・・ドレインパターン |
| 2・・・ゲート層（パターン） | 9・・・透明画素電極層 |
| 3・・・ゲート絶縁層 | 10・・・絶縁保護層 |
| 7・・・ソースパターン | 16・・・保護膜スリット状開口部 |

【図 1 9】



- | | |
|--------------------|-------------------|
| 2・・・ゲート層 (パターン) | 8・・・ドレインパターン |
| 4・・・I型アモルファスシリコン層 | 9・・・透明画素電極層 |
| 5・・・N+型アモルファスシリコン層 | 1 6・・・保護膜スリット状開口部 |
| 7・・・ソースパターン | |

【図 2 0】



2・・・ゲート層（パターン）

9・・・透明画素電極層

4・・・I型アモルファスシリコン層

12・・・ストレージパターン

5・・・N+型アモルファスシリコン層

13・・・屈曲型コンタクトスリット

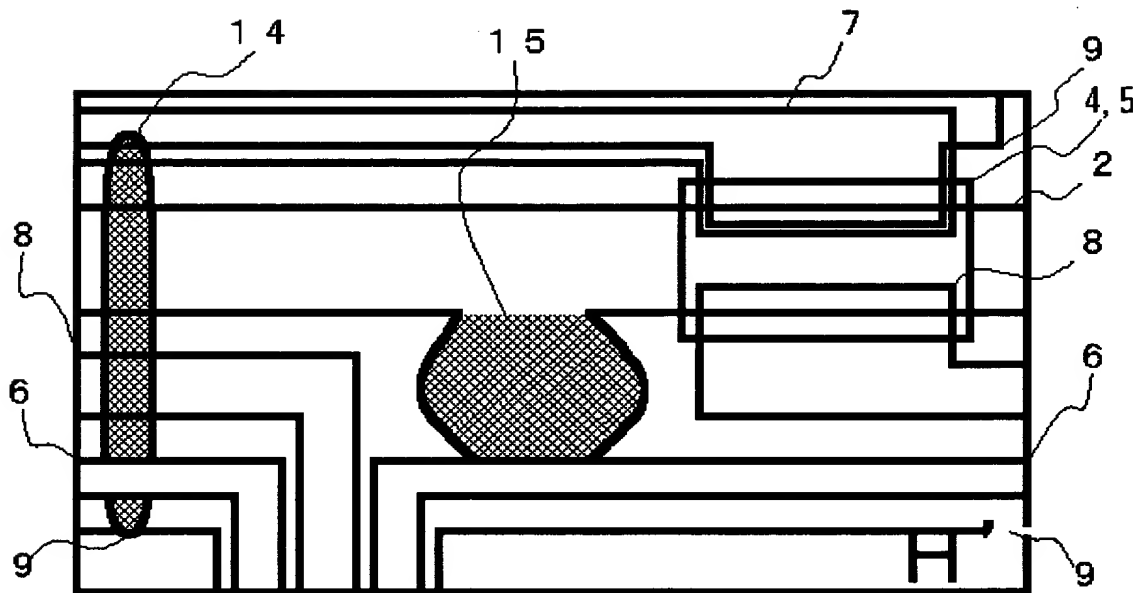
7・・・ソースパターン

14・・・a-Si 残留物

8・・・ドレインパターン

15・・・メタル残留物

【図 2 1】



2・・・ゲート層（パターン）

8・・・ドレインパターン

4・・・I型アモルファスシリコン層

9・・・透明画素電極層

5・・・N+型アモルファスシリコン層

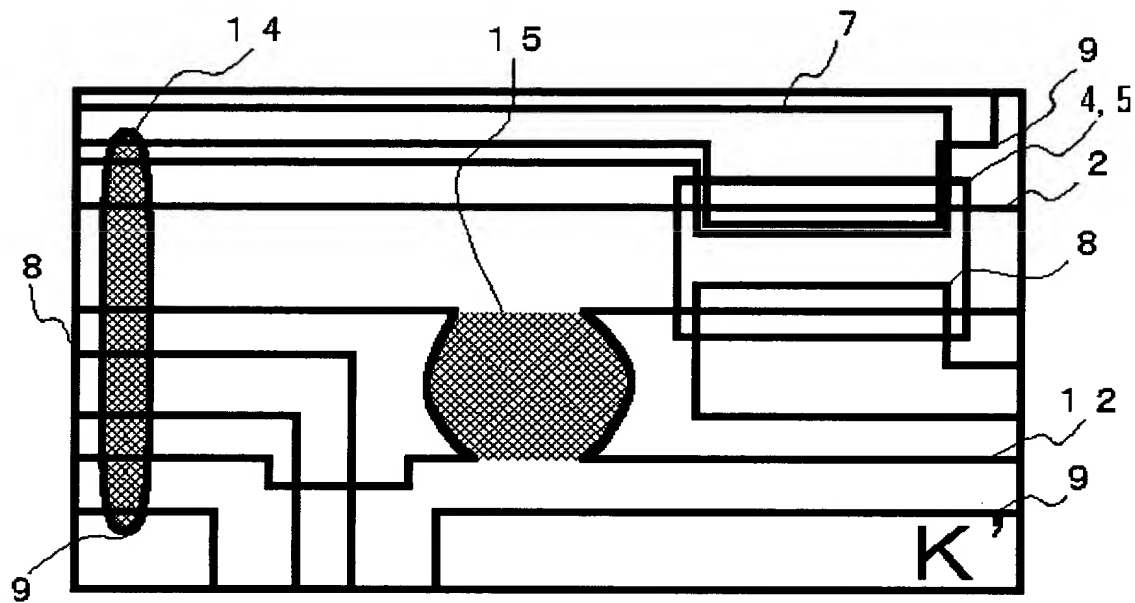
14・・・a-Si 残留物

6・・・コンタクトスリット（凹部）

15・・・メタル残留物

7・・・ソースパターン

【図 22】



2・・・ゲート層（パターン）

9・・・透明画素電極層

4・・・I型アモルファスシリコン層

12・・・ストレージパターン

5・・・N+型アモルファスシリコン層

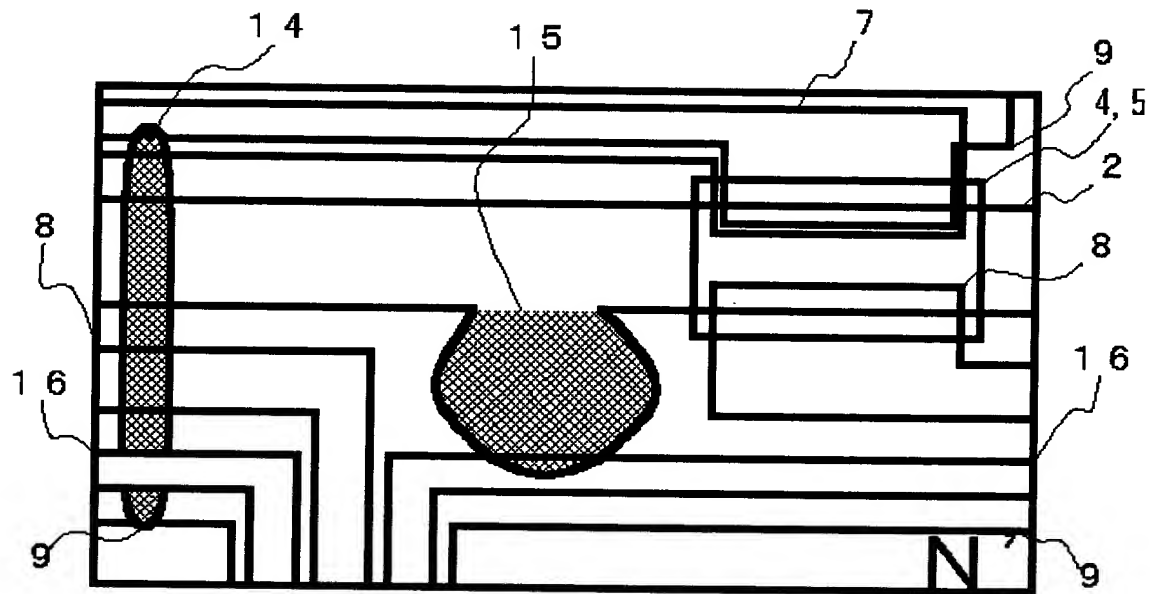
14・・・a-Si 残留物

7・・・ソースパターン

15・・・メタル残留物

8・・・ドレインパターン

【図 23】



2・・・ゲート層 (パターン)

4・・・I型アモルファスシリコン層

5・・・N+型アモルファスシリコン層

7・・・ソースパターン

8・・・ドレインパターン

9・・・透明画素電極層

14・・・a-Si 残留物

15・・・メタル残留物

16・・・保護膜スリット状開口部

【書類名】 要約書

【要約】

【課題】 本発明は、アモルファスシリコン残留物によるパターンング不良により発生する点欠陥、またはメタル残留物によるパターンング不良により発生する線欠陥を含む不良を防止した薄膜トランジスタアレイおよび薄膜トランジスタアレイ製造方法を提供することを課題とする。

【解決手段】 ゲート層、ドレインパターンまたはストレージパターンの配線が互いに近接平行する構成を備えたデルタ配列型のトランジスタ構造と、当該デルタ配列型のトランジスタ構造においてゲート層、ドレインパターンまたはストレージパターンの各配線の近接平行部分に形成され当該コンタクトスリットを用いて当該ゲート層または当該ドレインパターンおよび当該ストレージパターン・ドレインパターンの各配線間に発生するシリコン残留物およびメタル残留物をエッチング除去するコンタクトスリットを有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社